

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-004017

(43)Date of publication of application : 07.01.2000

(51)Int.Cl.

H01L 29/78

(21)Application number : 10-131235

(71)Applicant : SANKEN ELECTRIC CO LTD

(22)Date of filing : 24.04.1998

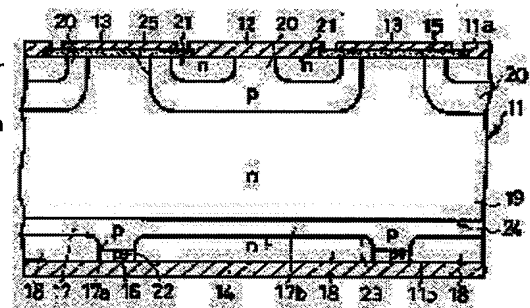
(72)Inventor : HANAOKA MASAYUKI

(54) INSULATED GATE BIPOLAR TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an insulated gate bipolar transistor, whereby the reduction of both the on-voltage and switching loss can attain high level.

SOLUTION: In an IGBT having an emitter region 21, base region 20, drift region 19, collector region, emitter electrode 12, gate electrode 13 and collector electrode 14, the collector region is constituted of a first p⁺-type collector region 16, second p-type collector region 17 and third n⁺-type collector region 18, the first and third collector regions 16, 18 are exposed at the lower face 11b of a semiconductor substrate 11, and the second p-type collector region 17 is made to be disposed between the drift region 19 and the third n⁺-type collector region 18 and connected to the first p⁺-type collector region 16.



LEGAL STATUS

[Date of request for examination] 24.04.1998

[Date of sending the examiner's decision of rejection] 17.08.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-4017

(P2000-4017A)

(43) 公開日 平成12年1月7日 (2000.1.7)

(51) Int.Cl.⁷

H 0 1 L 29/78

識別記号

F I

H 0 1 L 29/78

ターマコード* (参考)

6 5 5 D

審査請求 有 請求項の数 3 F D (全 10 頁)

(21) 出願番号 特願平10-131235

(22) 出願日 平成10年4月24日 (1998.4.24)

(71) 出願人 000106276

サンケン電気株式会社

埼玉県新座市北野3丁目6番3号

(72) 発明者 花岡 正行

埼玉県新座市北野三丁目6番3号 サンケン電気株式会社内

(74) 代理人 100072154

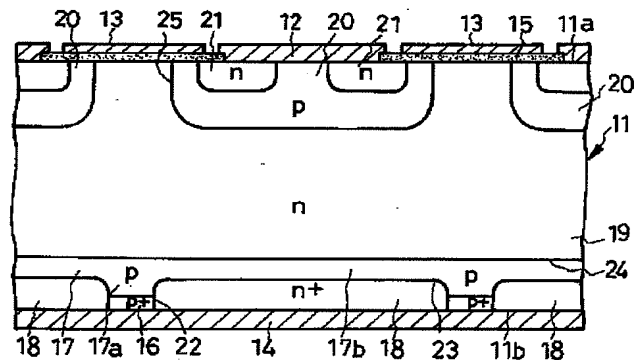
弁理士 高野 則次

(54) 【発明の名称】 絶縁ゲート形バイポーラトランジスタ

(57) 【要約】

【課題】 IGBTにおいて、オン電圧の低減化とスイッチング損失の低減化との両方を高水準に達成することができなかった。

【解決手段】 エミッタ領域21とベース領域20とドリフト領域19とコレクタ領域とエミッタ電極12とゲート電極13とコレクタ電極14を有するIGBTにおいて、コレクタ領域をp⁺形の第1のコレクタ領域16とp形の第2のコレクタ領域17とn⁺形の第3のコレクタ領域18とで構成する。半導体基体11の下面11bに第1及び第3のコレクタ領域16、18を露出させる。p形の第2のコレクタ領域17はn形のドリフト領域19とn⁺形の第3のコレクタ領域18との間に配置させると共にp⁺形の第1のコレクタ領域16に接続する。



【特許請求の範囲】

【請求項1】 第1及び第2の主面(11a、11b)を有する半導体基体(11)と、前記半導体基体(11)の前記第1の主面(11a)上に選択的に設けられた絶縁膜(15)と、前記半導体基体(11)の前記第1の主面(11a)上に設けられたエミッタ電極(12)と、前記絶縁膜(15)の上に設けられたゲート電極(13)と、前記半導体基体(11)の前記第2の主面(11b)に設けられたコレクタ電極(14)とを備えた絶縁ゲート形バイポーラトランジスタであって、前記半導体基体(11)が、第1導電形の第1のコレクタ領域(16)と、第1導電形であり且つ前記第1のコレクタ領域(16)よりも低い不純物濃度を有している第2のコレクタ領域(17又は17')と、第1導電形と反対の第2導電形の第3のコレクタ領域(18)と、第2導電形のドリフト領域(19)と、第1導電形のベース領域(20)と、第2導電形のエミッタ領域(21)とを有し、前記エミッタ領域(21)は前記半導体基体(11)の前記第1の主面(11a)に露出するように配置され、前記ベース領域(20)は前記エミッタ領域(21)の前記第1の主面(11a)に露出している部分以外の部分を包囲するように前記エミッタ領域(21)に隣接配置され、前記ドリフト領域(19)は前記ベース領域(20)の前記第1の主面(11a)に露出している部分以外の部分を包囲するように前記ベース領域(20)に隣接配置され、前記第1及び第3のコレクタ領域(16、18)は前記半導体基体(11)の前記第2の主面(11b)に露出するように配置され、前記第2のコレクタ領域(17又は17')は前記ドリフト領域(19)と前記第3のコレクタ領域(18)との間に配置され且つ前記第1のコレクタ領域(16)に接続され、前記第1のコレクタ領域(16)が露出している前記第2の主面(11b)を基準にした前記第1のコレクタ領域(16)の深さは、前記第2及び第3のコレクタ領域(17又は17'、18)の深さよりも浅く設定され、前記エミッタ電極(12)は前記エミッタ領域(21)と前記ベース領域(20)とに接続され、前記絶縁膜(15)は前記半導体基体(11)の前記第1の主面(11a)上の少なくとも前記ベース領域(20)の前記エミッタ領域(21)と前記ドリフト領域(19)との間の表面を覆うように配置され、前記ゲート電極(13)は前記ベース領域(20)の前記エミッタ領域(21)と前記ドリフト領域(19)との間の部分の表面を前記絶縁膜(15)を介して覆うように配置され、前記コレクタ電極(14)は前記第1及び第3のコレク

タ領域(16、18)に接続されていることを特徴とする絶縁ゲート形バイポーラトランジスタ。

【請求項2】 前記第2のコレクタ領域(17')は、前記第1のコレクタ領域(16)が前記ドリフト領域(19)に隣接することを許すように選択的に形成されていることを特徴とする請求項1記載の絶縁ゲート形バイポーラトランジスタ。

【請求項3】 前記第3のコレクタ領域(18)の前記第2の主面(11b)に露出する面に凹部(18a)が設けられていることを特徴とする請求項2記載の絶縁ゲート形バイポーラトランジスタ。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明はスイッチング損失の低減化とオン電圧の低減化とが高水準に達成された絶縁ゲート形バイポーラトランジスタ(IGBT)に関する。

【0002】

【従来の技術】 従来の絶縁ゲート形バイポーラトランジスタ(以下、IGBTという)は、図1に示すようにp形半導体領域から成る第1のコレクタ領域1、第1のコレクタ領域1に隣接して形成されたn形の半導体領域から成る第2のコレクタ領域2、第1及び第2のコレクタ領域1、2の上面に形成されたn形半導体領域から成るドリフト領域3、ドリフト領域3内にDSA(Diffusion Self Align)法によって形成された島状又は格子状あるいはストライプ状のp形半導体領域から成るベース領域4、ベース領域4内にDSA法によって形成された環状のn形半導体領域から成るエミッタ領域5から構成される半導体基体6を備えている。半導体基体6の一方の主面側においてベース領域4とエミッタ領域5にエミッタ電極7が電氣的に接続され、またエミッタ領域5とドリフト領域3との間に挟まれたベース領域4の上方に絶縁膜(ゲート酸化膜)8を介してゲート電極9が配置されている。また、半導体基体6の他方の主面側において第1及び第2のコレクタ領域1、2にコレクタ電極10が電氣的に接続されている。図1に示すように導電形が反対である2つのコレクタ領域1、2にコレクタ電極10が接続された構造は一般にユニバーサルコンタクト構造と呼ばれている。

【0003】

【発明が解決しようとする課題】 ところで、オン電圧の低減化とスイッチング損失の低減化とは相反する関係にあり、図1のIGBTではその両方を高水準に達成することが困難であった。即ち、図1のIGBTでは、エミッタ電極7とコレクタ電極10との間にコレクタ電極10側の電位を高くする電圧を印加し、またゲート電極9とエミッタ電極7との間にゲート電極9側の電位を高くする電圧を印加すると、ゲート電極9の直下のベース領域4がn形に反転してチャネルが形成され、エミッタ領

域5からドリフト領域3に電子が注入される。これにより、第1のコレクタ領域1とドリフト領域3との界面に形成されたpn接合が順方向にバイアスされ、第1のコレクタ領域1からドリフト領域3にホールが注入される。この結果、ドリフト領域3に伝導度変調が生じ、オン電圧が低減される。一方、ゲート電極9の電位をエミッタ電極7の電位と同電位としてスイッチオフした場合について考えると、ベース領域4とドリフト領域3との間のpn接合の耐圧が回復して空乏層が広がる。ドリフト領域3の不純物濃度はベース領域4の不純物濃度に比べて低いので、この空乏層は主としてドリフト領域3側に広がり、空乏層の両端にエミッタ電極7とコレクタ電極10間に印加した電圧が加わる。上記伝導度変調の際にドリフト領域3に蓄積されたキュリアの内のホールは、この空乏層の広がりによってベース領域4に流れ込み、エミッタ電極7から流れ出し、電子は第2のコレクタ領域2に流れ込み、コレクタ電極10から流れ出る。これらのキャリアが完全に消滅するまでは、スイッチオフ後もしばらくの間は微小の電流（テール電流）が流れ続ける。以上により、オン電圧を低減するには、ドリフト領域3へのホール注入量を増加するために第1及び第2のコレクタ領域1、2に占める第1のコレクタ領域1の面積の割合を大きくするのが望ましく、一方、テール電流を小さくしてスイッチング損失を低減するために第1及び第2のコレクタ領域1、2に占める第2のコレクタ領域2の面積を大きくするのが望ましい。このように、一方の特性を向上するためには、他方の特性を犠牲にしなければならない、両特性のいずれも高水準に達成することは困難であった。

【0004】そこで、本発明は、オン電圧の低減とスイッチング損失の低減とのいずれも高水準に達成することができる絶縁ゲート形バイポーラトランジスタを提供することを目的とする。

【0005】

【課題を解決するための手段】上記課題を解決し、上記目的を達成するための本発明は、実施例を示す図面の符合を参照して説明すると、第1及び第2の主面11a、11bを有する半導体基体11と、前記半導体基体11の前記第1の主面11a上に選択的に設けられた絶縁膜15と、前記半導体基体11の前記第1の主面11a上に設けられたエミッタ電極12と、前記絶縁膜15の上に設けられたゲート電極13と、前記半導体基体11の前記第2の主面11bに設けられたコレクタ電極14とを備えた絶縁ゲート形バイポーラトランジスタであって、前記半導体基体11が、第1導電形の第1のコレクタ領域16と、第1導電形であり且つ前記第1のコレクタ領域16よりも低い不純物濃度を有している第2のコレクタ領域17又は17'と、第1導電形と反対の第2導電形の第3のコレクタ領域18と、第2導電形のドリフト領域19と、第1導電形のベース領域20と、第2

導電形のエミッタ領域21とを有し、前記エミッタ領域21は前記半導体基体11の前記第1の主面11aに露出するように配置され、前記ベース領域20は前記エミッタ領域21の前記第1の主面11aに露出している部分以外の部分を包囲するように前記エミッタ領域21に隣接配置され、前記ドリフト領域19は前記ベース領域20の前記第1の主面11aに露出している部分以外の部分を包囲するように前記ベース領域20に隣接配置され、前記第1及び第3のコレクタ領域16、18は前記半導体基体11の前記第2の主面11bに露出するように配置され、前記第2のコレクタ領域17又は17'は前記ドリフト領域19と前記第3のコレクタ領域18との間に配置され且つ前記第1のコレクタ領域16に接続され、前記第1のコレクタ領域16が露出している前記第2の主面11bを基準にした前記第1のコレクタ領域16の深さは前記第2及び第3のコレクタ領域17又は17'、18の深さよりも浅く設定され、前記エミッタ電極12は前記エミッタ領域21と前記ベース領域20とに接続され、前記絶縁膜15は前記半導体基体11の前記第1の主面11a上の少なくとも前記ベース領域20の前記エミッタ領域21と前記ドリフト領域19との間の表面を覆うように配置され、前記ゲート電極13は前記ベース領域20の前記エミッタ領域21と前記ドリフト領域19との間の部分の表面を前記絶縁膜15を介して覆うように配置され、前記コレクタ電極14は前記第1及び第3のコレクタ領域16、18に接続されている絶縁ゲート形バイポーラトランジスタに係わるものである。なお、請求項2に示すように第1のコレクタ領域16がドリフト領域19に隣接するように第2のコレクタ領域17'を形成することができる。また、請求項3に示すように第3のコレクタ領域18に凹部18aを設けることができる。

【0006】

【発明の効果】各請求項の発明によれば、第1のコレクタ領域16の不純物濃度が第2のコレクタ領域17又は17'の不純物濃度よりも高いので、比較的小さい面積で多くの少数キャリアの注入が可能になる。第2の主面11bにおける第1のコレクタ領域16の面積を小さくすることによって第3のコレクタ領域18の面積を大きくすることができる。これにより、スイッチオフ時においてキャリアが第3のコレクタ領域18を通して良好に流れ、テール電流が抑制され、スイッチング損失が低減する。従って、オン電圧を犠牲にしないでスイッチング損失を低減することができる。また、請求項2及び3の発明によれば、第1及び第2のコレクタ領域16、17からの少数キャリアの注入量を調整し、オン電圧の低減化とスイッチング損失の低減化のバランスの調整を容易に行うことができる。

【0007】

【実施形態及び実施例】次に、図2～図6を参照して本

発明の実施形態及び実施例を説明する。

【0008】

【第1の実施例】まず、図2～図4を参照して第1の実施例に係わる絶縁ゲート形バイポーラトランジスタ即ちIGBTを説明する。図2はIGBTのシリコン半導体基体11の表面を示す平面図、図3は本実施例のIGBTを図2のA-A線に相当する部分で縦断して示す一部切欠き拡大断面図、図4は図3の半導体基体11の底面図である。本実施例のIGBTは、シリコン半導体基体11と、エミッタ電極12と、ゲート電極13と、コレクタ電極14と、絶縁膜15とから成る。なお、エミッタ電極12を第1の主電極又はソース電極、コレクタ電極14を第2の主電極又はドレイン電極、ゲート電極13を制御電極と呼ぶこともできる。

【0009】半導体基体11は第1の半導体領域と呼ぶことのできる p^+ 形の第1のコレクタ領域16と、第2の半導体領域と呼ぶことのできる p 形の第2のコレクタ領域17と、第3の半導体領域と呼ぶことのできる n 形の第3のコレクタ領域18と、第4の半導体領域又は伝導度変調領域と呼ぶことのできる n 形ドリフト領域19と、第5の半導体領域と呼ぶことのできる p 形ベース領域20と、第6の半導体領域と呼ぶことのできる n 形エミッタ領域21とを上面（第1の主面）11aと下面（第2の主面）11bとの間に備えている。なお、第1及び第2のコレクタ領域16、17を少数キャリア注入領域と呼ぶこともできる。

【0010】本発明に従うIGBTの半導体基体11の新規な点は、 p 形コレクタ領域が第1のコレクタ領域16と、第2のコレクタ領域17とから構成されており、半導体基体11の下面11bにおいて p^+ 形の第1のコレクタ領域16と n^+ 形の第3のコレクタ領域18とが交互に露出している点である。

【0011】図3に示すように、 n^+ 形コレクタ領域18の半導体基体11の下面11bからの深さは第2のコレクタ領域17の下面11bからの深さよりも浅いが、第1のコレクタ領域16の下面11bからの深さよりは深い。この結果、 n^+ 形の第3のコレクタ領域18の下面は半導体基体11の下面11bから露出しており、この n^+ 形の第3のコレクタ領域18の側面の上方一部と上面は p 形の第2のコレクタ領域17に隣接して包囲されており、この n^+ 形の第3のコレクタ領域18の側面の下方一部は第1のコレクタ領域16に隣接して包囲されている。

【0012】 n^+ 形の第3のコレクタ領域18は図3に示すように p 形の第2のコレクタ領域17と n 形ドリフト領域19を介してベース領域20に対向するように設けられ、また図4に示すように平面的に見てベース領域20と同心的に配置され且つ相似である。なお、ベース領域20を平面的に見て格子状あるいはストライプ状に形成されている場合においても、 n^+ 形の第3のコレク

タ領域18をベース領域20の形状に対応させて格子状あるいはストライプ状に形成することが望ましい。しかし、必ずしも n^+ 形の第3のコレクタ領域18をベース領域20に対向させて配置する必要はなく、任意の形状及び配置にすることができる。

【0013】 p^+ 形の第1のコレクタ領域16は図4に示すように隣り合う n^+ 形の第3のコレクタ領域18の間に格子状に形成されている。但し、この第1のコレクタ領域16は島状又はストライプ状に形成し、 n^+ 形の第3のコレクタ領域18を格子状又はストライプ状に形成することもできる。 p^+ 形の第1のコレクタ領域16の下面は半導体基体11の下面11bから露出し、この上面は p 形の第2のコレクタ領域17に隣接している。また、 p^+ 形の第1のコレクタ領域16の側面は n^+ 形の第3のコレクタ領域18に隣接し、その界面に第1の pn 接合22が生じている。

【0014】 p 形の第2のコレクタ領域17は隣り合う n^+ 形の第3のコレクタ領域18の間に配置され且つ第1のコレクタ領域16に隣接している第1の部分17aと、 n^+ 形の第3のコレクタ領域18とドリフト領域19との間に配置された第2の部分17bとを有している。第2のコレクタ領域17は n^+ 形の第3のコレクタ領域18及び n 形のドリフト領域19に隣接し、その界面にそれぞれ第2の pn 接合23及び第3の pn 接合24が生じている。なお、第2の pn 接合23は第1の pn 接合22に連続している。

【0015】 p 形の第1及び第2のコレクタ領域16、17と n^+ 形の第3のコレクタ領域18はすべて周知の不純物拡散技術によって形成されている。なお、第1のコレクタ領域16の第2の主面11bからの深さは第2及び第3のコレクタ領域17、18の第2の主面11bからの深さよりも深い。第2の主面11bに露出した第1及び第3のコレクタ領域16、18にはコレクタ電極14が接続されている。エミッタ領域21は第1の主面11aに露出するように配置され、ベース領域20はエミッタ領域21をこの表面を除いて囲むように配置され、ドリフト領域19はベース領域20をこの表面を除いて囲むように配置されている。絶縁膜15は少なくとも第1の主面11aのエミッタ領域21とドリフト領域19との間を被覆するように配置されている。エミッタ電極12はエミッタ領域21とこれに囲まれたベース領域20の中央部とに接続されている。ゲート電極13は第1の主面11aのエミッタ領域21とドリフト領域19との間に絶縁膜15を介して対向するように配置されている。また、各電極12、13、14は1個の半導体チップ中の複数の微小トランジスタを並列接続するように形成されている。

【0016】図3のIGBTにおいて、エミッタ電極12とコレクタ電極14との間にコレクタ電極14側の電位を高くする電圧を印加し、またゲート電極13とエミ

ツタ電極12との間にゲート電極13側の電位を高くする電圧を印加すると、ゲート電極13の直下のベース領域20がn形に反転してチャネルが形成され、エミッタ領域21からドリフト領域19に電子が注入される。これにより、p形の第2のコレクタ領域17とn形のドリフト領域19との界面に形成された第3のpn接合24が順方向にバイアスされ、第2のコレクタ領域17からドリフト領域19に少数キャリアとしてホールが注入される。この結果、ドリフト領域19に伝導度変調が起こる。また、ドリフト領域19に注入されたホールはベース領域20へと流れ、これによってコレクタ電極14とエミッタ電極12との間にホール電流が流れる。上記のドリフト領域19の伝導度変調とこのホール電流によって図2のIGBTではオン電圧の低減化が図られる。

【0017】ここで、図2のIGBTでは相対的に不純物濃度が高い p^+ 形の第1のコレクタ領域16を有しているので、この第1のコレクタ領域16の半導体基体11の下面に占める面積を比較的小さくしてもドリフト領域19に対してオン電圧の低減を図るにあたって十分な量のホールを注入することができる。換言すれば、半導体基体11の下面11bにおける n^+ 形の第3のコレクタ領域18の占有面積を比較的大きくしてもオン電圧の低減化を良好に図ることができる。

【0018】一方、ゲート電極13の電位をエミッタ電極12の電位と同電位としてスイッチオフした場合においては、上記のように n^+ 形の第3のコレクタ領域18の占有面積を比較的大きくすることができるため、スイッチング損失の低減化も良好に図ることができる。即ち、上記のようにスイッチオフする電圧を印加すると、ベース領域20とドリフト領域19との間に形成されるpn接合25が逆方向にバイアスされて空乏層が広がる。この空乏層は図1のIGBTと同様に主として不純物濃度の低いドリフト領域19側に広がり、この空乏層の広がりによってホールはベース領域20に流れ込みエミッタ電極12から流れ出す。一方、電子は n^+ 形の第3のコレクタ領域18を介してコレクタ電極14から流れ出る。この時、抵抗の低い n^+ 形の第3のコレクタ領域18の占有面積を比較的大きくできるので、 n^+ 形の第3のコレクタ領域18を介してコレクタ電極14に電子を良好に流れ出させることができる。以上により、図2～図4のIGBTによれば、オン電圧の低減化とスイッチング損失の低減化とがいずれも高水準に達成することができる。

【0019】

【第2の実施例】次に、図5を参照して第2の実施例のIGBTを説明する。但し、図5及び後述する図6において図2～図4と実質的に同一の部分には同一の符号を付してその説明を省略する。図5のIGBTは、図3に示す第1の実施例のIGBTのp形の第2のコレクタ領域17のパターンを変更した第2のコレクタ領域17'を

を設けた他は第1の実施例と同一に構成したものである。図5のp形の第2のコレクタ領域17'は n^+ 形の第3のコレクタ領域18と共に周知のDSA法によって形成されており、 n^+ 形の第3のコレクタ領域18を囲むように配置されている。従って、図5の第2のコレクタ領域17'は、図3の第1の部分17aに相当する部分を有していない。図5の構成によれば、第1の実施例と同一の作用効果を有する他に、ホール注入量を調整してオン電圧の低減化とスイッチング損失の低減化のバランスの調整を容易に行うことができるという効果が得られる。

【0020】

【第3の実施例】図6に示す第3の実施例のIGBTは、図3のp形の第2のコレクタ領域17を図5と同様に變形してp形の第2のコレクタ領域17'を設け、更に n^+ 形の第3のコレクタ領域18の下面に凹部18aを設け、この他は図3と同様に構成したものである。なお、第2のコレクタ領域17'及び n^+ 形の第3のコレクタ領域18は、第1のコレクタ領域16を形成後に凹部18aを形成し、しかる後DSA法によって形成されている。図6の構造によれば、半導体基体11の p^+ 形の第1のコレクタ領域16が露出する下面11bを基準にしたp形の第2のコレクタ領域17'及び n^+ 形の第3のコレクタ領域18の深さを第1のコレクタ領域16の深さに比べて深くすることが容易になる。換言すれば、第1のコレクタ領域16の深さを第2のコレクタ領域17'及び n^+ 形の第3のコレクタ領域18の深さに比べて浅くすることができる。従って、 n^+ 形の第3のコレクタ領域18を介しての電子の排出と、 p^+ 形の第1のコレクタ領域16によるホールの注入とを図5のIGBTに比べて更にバランス良く行うことができ、スイッチング損失の低減化とオン電圧の低減化とをバランスよく高水準に達成することができる。

【0021】

【変形例】本発明は上述の実施例に限定されるものでなく、例えば次の変形が可能なるものである。

(1) p形の第2のコレクタ領域17をエピタキシャル成長層とすることができる。

(2) 半導体基体11の各領域16～21の導電形を反対の導電形にすることができる。

【図面の簡単な説明】

【図1】従来のIGBTを示す断面図である。

【図2】本発明の第1の実施例のIGBTの半導体基体の表面を示す平面図である。

【図3】第1の実施例のIGBTの図2のA-A線に相当する部分の断面図である。

【図4】図3の半導体基体の底面図である。

【図5】第2の実施例のIGBTを図3と同様に示す断面図である。

【図6】第3の実施例のIGBTを図3と同様に示す断

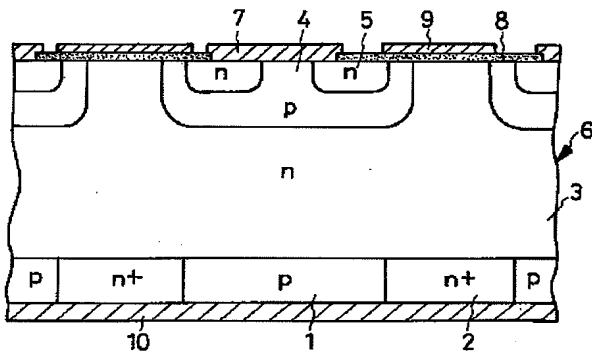
面図である。

【符号の説明】

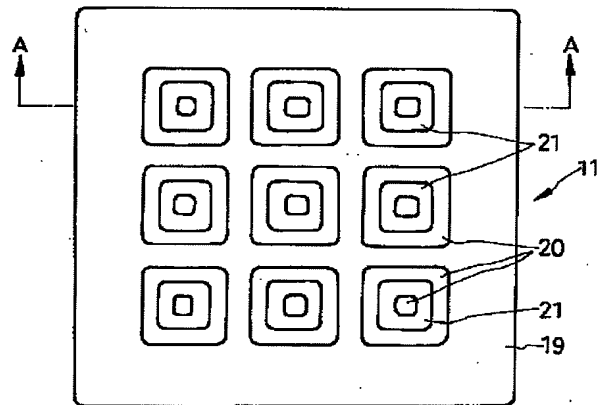
- 11 半導体基体
16 第1のコレクタ領域
17 第2のコレクタ領域

- 18 n^+ 形の第3のコレクタ領域
19 ドリフト領域
20 ベース領域
21 エミッタ領域

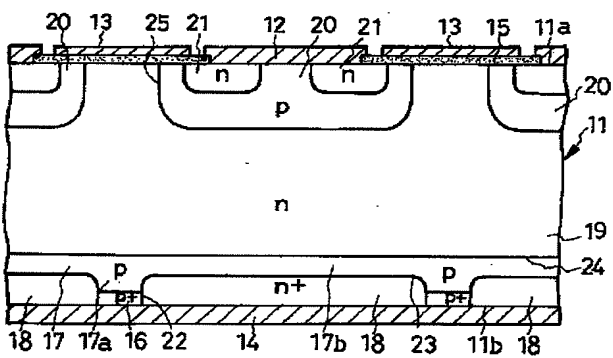
【図1】



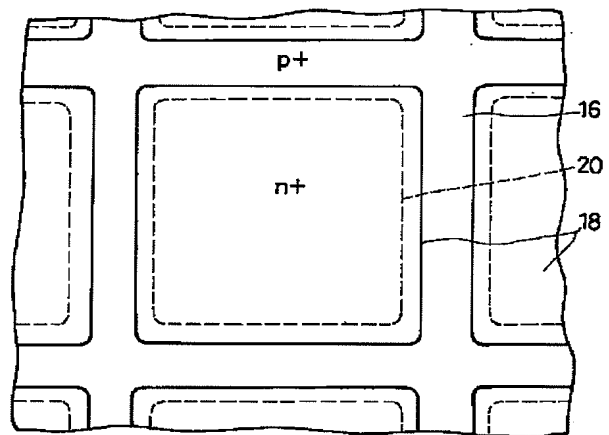
【図2】



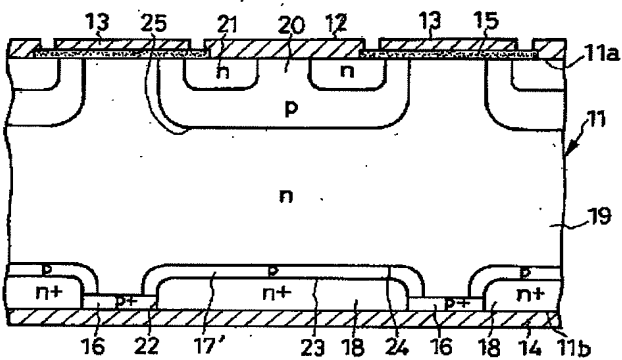
【図3】



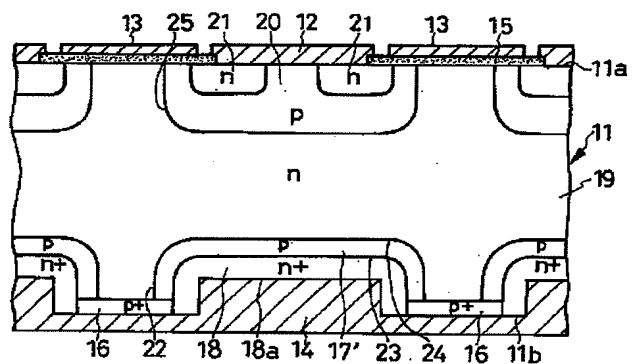
【図4】



【図5】



【図6】



【手続補正書】

【提出日】平成11年4月9日(1999. 4. 9)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 第1及び第2の主面(11a、11b)を有する半導体基体(11)と、前記半導体基体(11)の前記第1の主面(11a)上に選択的に設けられた絶縁膜(15)と、前記半導体基体(11)の前記第1の主面(11a)上に設けられたエミッタ電極(12)と、前記絶縁膜(15)の上に設けられたゲート電極(13)と、前記半導体基体(11)の前記第2の主面(11b)に設けられたコレクタ電極(14)とを備えた絶縁ゲート形バイポーラトランジスタであって、前記半導体基体(11)が、第1導電形の第1のコレクタ領域(16)と、第1導電形であり且つ前記第1のコレクタ領域(16)よりも低い不純物濃度を有している第2のコレクタ領域(17又は17')と、第1導電形と反対の第2導電形の第3のコレクタ領域(18)と、第2導電形のドリフト領域(19)と、第1導電形のベース領域(20)と、第2導電形のエミッタ領域(21)とを有し、前記エミッタ領域(21)は前記半導体基体(11)の前記第1の主面(11a)に露出するように配置され、前記ベース領域(20)は前記エミッタ領域(21)の前記第1の主面(11a)に露出している部分以外の部分を包囲するように前記エミッタ領域(21)に隣接配置され、前記ドリフト領域(19)は前記ベース領域(20)の前記第1の主面(11a)に露出している部分以外の部分を包囲するように前記ベース領域(20)に隣接配置され、前記第1及び第3のコレクタ領域(16、18)は前記半導体基体(11)の前記第2の主面(11b)に露出するように配置され、前記第2のコレクタ領域(17又は17')は前記半導体基体(11)の前記第2の主面(11b)に露出しないように前記ドリフト領域(19)と前記第1及び第3のコレクタ領域(16、18)との間に配置され且つ前記第1のコレクタ領域(16)に接続され、前記第1のコレクタ領域(16)が露出している前記第2の主面(11b)を基準にした前記第1のコレクタ領域(16)の深さは、前記第2及び第3のコレクタ領域(17又は17'、18)の深さよりも浅く設定され、前記エミッタ電極(12)は前記エミッタ領域(21)と前記ベース領域(20)とに接続され、前記絶縁膜(15)は前記半導体基体(11)の前記第

1の主面(11a)上の少なくとも前記ベース領域(20)の前記エミッタ領域(21)と前記ドリフト領域(19)との間の表面を覆うように配置され、前記ゲート電極(13)は前記ベース領域(20)の前記エミッタ領域(21)と前記ドリフト領域(19)との間の部分の表面を前記絶縁膜(15)を介して覆うように配置され、

前記コレクタ電極(14)は前記第1及び第3のコレクタ領域(16、18)に接続されていることを特徴とする絶縁ゲート形バイポーラトランジスタ。

【請求項2】 前記第2のコレクタ領域(17')は、前記第1のコレクタ領域(16)が前記ドリフト領域(19)に隣接することを許すように選択的に形成されていることを特徴とする請求項1記載の絶縁ゲート形バイポーラトランジスタ。

【請求項3】 前記第3のコレクタ領域(18)の前記第2の主面(11b)に露出する面に凹部(18a)が設けられていることを特徴とする請求項2記載の絶縁ゲート形バイポーラトランジスタ。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正内容】

【0005】

【0005】

【課題を解決するための手段】上記課題を解決し、上記目的を達成するための本発明は、実施例を示す図面の符合を参照して説明すると、第1及び第2の主面11a、11bを有する半導体基体11と、前記半導体基体11の前記第1の主面11a上に選択的に設けられた絶縁膜15と、前記半導体基体11の前記第1の主面11a上に設けられたエミッタ電極12と、前記絶縁膜15の上に設けられたゲート電極13と、前記半導体基体11の前記第2の主面11bに設けられたコレクタ電極14とを備えた絶縁ゲート形バイポーラトランジスタであって、前記半導体基体11が、第1導電形の第1のコレクタ領域16と、第1導電形であり且つ前記第1のコレクタ領域16よりも低い不純物濃度を有している第2のコレクタ領域17又は17'と、第1導電形と反対の第2導電形の第3のコレクタ領域18と、第2導電形のドリフト領域19と、第1導電形のベース領域20と、第2導電形のエミッタ領域21とを有し、前記エミッタ領域21は前記半導体基体11の前記第1の主面11aに露出するように配置され、前記ベース領域20は前記エミッタ領域21の前記第1の主面11aに露出している部分以外の部分を包囲するように前記エミッタ領域21に隣接配置され、前記ドリフト領域19は前記ベース領域20の前記第1の主面11aに露出している部分以外の

部分を包囲するように前記ベース領域20に隣接配置され、前記第1及び第3のコレクタ領域16、18は前記半導体基体11の前記第2の主面11bに露出するように配置され、前記第2のコレクタ領域17又は17'は前記半導体基体11の前記第2の主面11bに露出しないように前記ドリフト領域19と前記第1及び第3のコレクタ領域16、18との間に配置され且つ前記第1のコレクタ領域16に接続され、前記第1のコレクタ領域16が露出している前記第2の主面11bを基準にした前記第1のコレクタ領域16の深さは前記第2及び第3のコレクタ領域17又は17'、18の深さよりも浅く設定され、前記エミッタ電極12は前記エミッタ領域21と前記ベース領域20とに接続され、前記絶縁膜15は前記半導体基体11の前記第1の主面11a上の少なくとも前記ベース領域20の前記エミッタ領域21と前記ドリフト領域19との間の表面を覆うように配置され、前記ゲート電極13は前記ベース領域20の前記エミッタ領域21と前記ドリフト領域19との間の部分の表面を前記絶縁膜15を介して覆うように配置され、前記コレクタ電極14は前記第1及び第3のコレクタ領域16、18に接続されている絶縁ゲート形バイポーラトランジスタに係わるものである。なお、請求項2に示すように第1のコレクタ領域16がドリフト領域19に隣接するように第2のコレクタ領域17'を形成することができる。また、請求項3に示すように第3のコレクタ領域18に凹部18aを設けることができる。

【手続補正3】

【補正対象書類名】 明細書

【補正対象項目名】 0006

【補正方法】 変更

【補正の内容】

【0006】

【0006】

【発明の効果】各請求項の発明によれば、第1のコレクタ領域16の不純物濃度が第2のコレクタ領域17又は17'の不純物濃度よりも高く、且つ第2のコレクタ領域17又は17'がコレクタ電極14に直接に接続されずに第1のコレクタ領域16を介して接続されている。従って、第1のコレクタ領域16に基づいてドリフト領域19に対して良好に少数キャリアを注入することができる。この結果、比較的小さい面積の第1のコレクタ領域16で多くの少数キャリアの注入が可能になる。このように第2の主面11bにおける第1のコレクタ領域16の面積を小さくすることができると、逆に第3のコレクタ領域18の面積を大きくすることができる。このように、第3のコレクタ領域18の面積を大きくすると、スイッチオフ時においてキャリアが第3のコレクタ領域18を通して良好に流れ、テール電流が抑制され、スイッチング損失が低減する。従って、第1のコレクタ領域16からの少数キャリアの注入によるオン電圧低減の効果と、第3のコレクタ領域18によるテール電流抑制に基づくスイッチング損失の低減効果との両方を良好に得ることができる。また、請求項2及び3の発明によれば、第1及び第2のコレクタ領域16、17'からの少数キャリアの注入量を調整し、オン電圧の低減化とスイッチング損失の低減化のバランスの調整を容易に行うことができる。

【手続補正書】

【提出日】平成11年8月6日(1999. 8. 6)

【手続補正1】

【補正対象書類名】 明細書

【補正対象項目名】 特許請求の範囲

【補正方法】 変更

【補正内容】

【特許請求の範囲】

【請求項1】 第1及び第2の主面(11a、11b)を有する半導体基体(11)と、前記半導体基体(11)の前記第1の主面(11a)上に選択的に設けられた絶縁膜(15)と、前記半導体基体(11)の前記第1の主面(11a)上に設けられたエミッタ電極(12)と、前記絶縁膜(15)の上に設けられたゲート電極(13)と、前記半導体基体(11)の前記第2の主面(11b)に設けられたコレクタ電極(14)とを備えた絶縁ゲート形バイポーラトランジスタであって、前記半導体基体(11)が、第1導電形の第1のコレクタ領域(16)と、第1導電形であり且つ前記第1のコ

レクタ領域(16)よりも低い不純物濃度を有している第2のコレクタ領域(17又は17')と、第1導電形と反対の第2導電形の第3のコレクタ領域(18)と、第2導電形のドリフト領域(19)と、第1導電形のベース領域(20)と、第2導電形のエミッタ領域(21)とを有し、

前記エミッタ領域(21)は前記半導体基体(11)の前記第1の主面(11a)に露出するように配置され、前記ベース領域(20)は前記エミッタ領域(21)の前記第1の主面(11

a)に露出している部分以外の部分を包囲するように前記エミッタ領域(21)に隣接配置され、前記ドリフト領域(19)は前記ベース領域(20)の前記第1の主面(11a)に露出している部分以外の部分を包囲するように前記ベース領域(20)に隣接配置され、

前記第1及び第3のコレクタ領域(16、18)は前記半導体基体(11)の前記第2の主面(11b)に露出

するように配置され、
 前記第2のコレクタ領域(17又は17')は前記半導体基体(11)の前記第2の主面(11b)に露出しないように前記ドリフト領域(19)と前記第1及び第3のコレクタ領域(16、18)との間に配置され且つ前記第1のコレクタ領域(16)に接続され、
 前記第1のコレクタ領域(16)が露出している前記第2の主面(11b)を基準にした前記第1のコレクタ領域(16)の深さは、前記第2コレクタ領域(17又は17')の深さよりも浅く設定され、
前記コレクタ電極(14)に対する前記第3のコレクタ領域(18)の接触面積が前記コレクタ電極(14)に対する前記第1のコレクタ領域(16)の接触面積よりも広く設定され、
 前記エミッタ電極(12)は前記エミッタ領域(21)と前記ベース領域(20)とに接続され、
 前記絶縁膜(15)は前記半導体基体(11)の前記第1の主面(11a)上の少なくとも前記ベース領域(20)の前記エミッタ領域(21)と前記ドリフト領域(19)との間の表面を覆うように配置され、
 前記ゲート電極(13)は前記ベース領域(20)の前記エミッタ領域(21)と前記ドリフト領域(19)との間の部分の表面を前記絶縁膜(15)を介して覆うように配置され、
 前記コレクタ電極(14)は前記第1及び第3のコレクタ領域(16、18)に接続されていることを特徴とする絶縁ゲート形バイポーラトランジスタ。
【請求項2】 第1及び第2の主面(11a、11b)を有する半導体基体(11)と、前記半導体基体(11)の前記第1の主面(11a)上に選択的に設けられた絶縁膜(15)と、前記半導体基体(11)の前記第1の主面(11a)上に設けられたエミッタ電極(12)と、前記絶縁膜(15)の上に設けられたゲート電極(13)と、前記半導体基体(11)の前記第2の主面(11b)に設けられたコレクタ電極(14)とを備えた絶縁ゲート形バイポーラトランジスタであって、
前記半導体基体(11)が、第1導電形の第1のコレクタ領域(16)と、第1導電形であり且つ前記第1のコレクタ領域(16)よりも低い不純物濃度を有している第2のコレクタ領域(17')と、第1導電形と反対の第2導電形の第3のコレクタ領域(18)と、第2導電形のドリフト領域(19)と、第1導電形のベース領域(20)と、第2導電形のエミッタ領域(21)とを有し、
前記エミッタ領域(21)は前記半導体基体(11)の前記第1の主面(11a)に露出するように配置され、
前記ベース領域(20)は前記エミッタ領域(21)の前記第1の主面(11a)に露出している部分以外の部分を包囲するように前記エミッタ領域(21)に隣接配置され、

前記ドリフト領域(19)は前記ベース領域(20)の前記第1の主面(11a)に露出している部分以外の部分を包囲するように前記ベース領域(20)に隣接配置され、
前記第1及び第3のコレクタ領域(16、18)は前記半導体基体(11)の前記第2の主面(11b)に露出するように配置され、
前記第2のコレクタ領域(17')は前記半導体基体(11)の前記第2の主面(11b)に露出しないように前記ドリフト領域(19)と前記第1及び第3のコレクタ領域(16、18)との間に配置され且つ前記第1のコレクタ領域(16)が前記ドリフト領域(19)に隣接することを許すように選択的に形成され且つ前記第1のコレクタ領域(16)に接続され、
前記第1のコレクタ領域(16)が露出している前記第2の主面(11b)を基準にした前記第1のコレクタ領域(16)の深さは、前記第2及び第3のコレクタ領域(17'、18)の深さよりも浅く設定され、
前記エミッタ電極(12)は前記エミッタ領域(21)と前記ベース領域(20)とに接続され、
前記絶縁膜(15)は前記半導体基体(11)の前記第1の主面(11a)上の少なくとも前記ベース領域(20)の前記エミッタ領域(21)と前記ドリフト領域(19)との間の表面を覆うように配置され、
前記ゲート電極(13)は前記ベース領域(20)の前記エミッタ領域(21)と前記ドリフト領域(19)との間の部分の表面を前記絶縁膜(15)を介して覆うように配置され、
前記コレクタ電極(14)は前記第1及び第3のコレクタ領域(16、18)に接続されていることを特徴とする絶縁ゲート形バイポーラトランジスタ。
【請求項3】 前記第3のコレクタ領域(18)の前記第2の主面(11b)に露出する面に凹部(18a)が設けられていることを特徴とする請求項2記載の絶縁ゲート形バイポーラトランジスタ。
【手続補正2】
【補正対象書類名】 明細書
【補正対象項目名】 0005
【補正方法】 変更
【補正内容】
【0005】
【課題を解決するための手段】 上記課題を解決し、上記目的を達成するための本発明は、実施例を示す図面の符合を参照して説明すると、第1及び第2の主面11a、11bを有する半導体基体11と、前記半導体基体11の前記第1の主面11a上に選択的に設けられた絶縁膜15と、前記半導体基体11の前記第1の主面11a上に設けられたエミッタ電極12と、前記絶縁膜15の上に設けられたゲート電極13と、前記半導体基体11の前記第2の主面11bに設けられたコレクタ電極14と

を備えた絶縁ゲート形バイポーラトランジスタであつて、前記半導体基体11が、第1導電形の第1のコレクタ領域16と、第1導電形であり且つ前記第1のコレクタ領域16よりも低い不純物濃度を有している第2のコレクタ領域17又は17'と、第1導電形と反対の第2導電形の第3のコレクタ領域18と、第2導電形のドリフト領域19と、第1導電形のベース領域20と、第2導電形のエミッタ領域21とを有し、前記エミッタ領域21は前記半導体基体11の前記第1の主面11aに露出するように配置され、前記ベース領域20は前記エミッタ領域21の前記第1の主面11aに露出している部分以外の部分を包囲するように前記エミッタ領域21に隣接配置され、前記ドリフト領域19は前記ベース領域20の前記第1の主面11aに露出している部分以外の部分を包囲するように前記ベース領域20に隣接配置され、前記第1及び第3のコレクタ領域16、18は前記半導体基体11の前記第2の主面11bに露出するように配置され、前記第2のコレクタ領域17又は17'は前記半導体基体11の前記第2の主面11bに露出しないように前記ドリフト領域19と前記第1及び第3のコレクタ領域16、18との間に配置され且つ前記第1のコレクタ領域16に接続され、前記第1のコレクタ領域16が露出している前記第2の主面11bを基準にした前記第1のコレクタ領域16の深さは前記第2のコレクタ領域17又は17'の深さよりも浅く設定され、前記コレクタ電極(14)に対する前記第3のコレクタ領域(18)の接触面積が前記コレクタ電極(14)に対する前記第1のコレクタ領域(16)の接触面積よりも広く設定され、前記エミッタ電極12は前記エミッタ領域21と前記ベース領域20とに接続され、前記絶縁膜15は前記半導体基体11の前記第1の主面11a上の少なくとも前記ベース領域20の前記エミッタ領域21と前記ドリフト領域19との間の表面を覆うように配置され、前記ゲート電極13は前記ベース領域20の前記エミッタ領域21と前記ドリフト領域19との間の部分の表面を前

記絶縁膜15を介して覆うように配置され、前記コレクタ電極14は前記第1及び第3のコレクタ領域16、18に接続されている絶縁ゲート形バイポーラトランジスタに係わるものである。なお、請求項2に示すように第1のコレクタ領域16がドリフト領域19に隣接するように第2のコレクタ領域17'を形成することができる。また、請求項3に示すように第3のコレクタ領域18に凹部18aを設けることができる。

【手続補正3】

【補正対象書類名】 明細書

【補正対象項目名】 0006

【補正方法】 変更

【補正の内容】

【0006】

【発明の効果】請求項1の発明によれば、第1のコレクタ領域16の不純物濃度が第2のコレクタ領域17の不純物濃度よりも高く、且つ第2のコレクタ領域17がコレクタ電極14に直接に接続されずに第1のコレクタ領域16を介して接続されているので、第1のコレクタ領域16に基づいてドリフト領域19に対して良好に少数キャリアが注入され、オン電圧の低減効果が得られる。また、第3のコレクタ領域18のコレクタ電極14に対する接触面積が第1のコレクタ電極16のコレクタ電極14に対する接触面積よりも大きくなっているので、スイッチオフ時において空乏層のキャリアが第3のコレクタ領域18を通してコレクタ電極14に良好に流れ、テール電流が抑制され、スイッチング損失が低減する。従って、第1のコレクタ領域16からの少数キャリアの注入によるオン電圧低減の効果と、第3のコレクタ領域18によるテール電流抑制に基づくスイッチング損失の低減効果との両方を良好に得ることができる。また、請求項2及び3の発明によれば、第1及び第2のコレクタ領域16、17'からの少数キャリアの注入量を調整し、オン電圧の低減化とスイッチング損失の低減化のバランスの調整を容易に行うことができる。